

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-50595

(43) 公開日 平成7年(1995)2月21日

(51) Int.Cl.<sup>8</sup>

H 0 3 M 13/00

G 0 6 F 11/10

識別記号

3 3 0 J

庁内整理番号

8730-5J

F I

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 16 頁)

(21) 出願番号

特願平5-196469

(22) 出願日

平成5年(1993)8月6日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 米田 稔

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝映像メディア技術研究所内

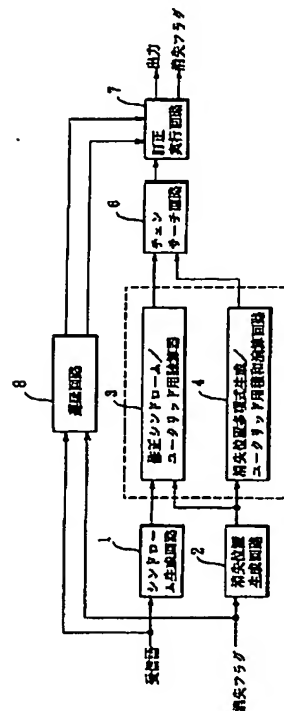
(74) 代理人 弁理士 伊藤 進

(54) 【発明の名称】 復号化装置

(57) 【要約】

【目的】 高速性を損なうことなく回路規模を削減する。

【構成】 修正シンδροーム生成／ユークリッド用除算器 3 はシンδροーム生成回路 1 が求めたシンδροーム及び消失位置生成回路 2 が求めた消失位置係数から修正シンδροームを生成すると共に、修正シンδροームを用いてユークリッドの除算を行って誤り数値多項式を求める。消失位置多項式生成／ユークリッド用積和演算回路 4 は消失位置係数から消失位置多項式を生成し、更に、消失位置多項式とユークリッドの除算の商を用いて誤り位置多項式を求める。誤り位置多項式及び誤り数値多項式をチェンサーチ回路 6 に与えて誤り位置及び誤り数値を求め、訂正実行回路 7 において受信語の誤りを訂正する。修正シンδροームをユークリッドの除算器を利用して求め、消失位置多項式を積和演算回路を利用して求めており、回路の共用化によって回路規模を低減している。



## 【特許請求の範囲】

【請求項 1】 受信語からシンδροームを計算するシンδροーム計算手段と、  
 受信語に同期した消失フラグから消失位置データを発生する消失位置生成手段と、  
 前記シンδροームから消失位置情報を除く修正シンδροームを生成する修正シンδροーム生成手段と、  
 前記消失位置データから消失位置多項式を生成する消失位置多項式生成手段と、  
 前記修正シンδροームと前記消失位置多項式とから誤り位置多項式及び誤り数値多項式を求めるユークリッドの互除演算手段と、  
 このユークリッドの互除演算手段によって求められた誤り位置多項式及び誤り数値多項式から誤り位置及び誤り数値を求めるチェンサーチ手段と、  
 このチェンサーチ手段によって求められた誤り位置及び誤り数値に基づいて、前記受信語の誤りを訂正する訂正実行手段と、  
 を具備し、前記修正シンδροーム生成手段及び前記消失位置多項式生成手段を前記ユークリッドの互除演算手段と共用することを特徴とする復号化装置。

【請求項 2】 前記修正シンδροーム生成手段は、前記ユークリッドの互除演算手段の除算器と共用し、前記消失位置多項式生成手段は、前記ユークリッドの互除演算の積和演算回路と共用することを特徴とする請求項 1 に記載の復号化装置。

【請求項 3】 前記ユークリッドの互除演算手段の除算器は、1 回の除算毎に、被除多項式と除多項式の係数を格納するレジスタのデータを交換しながら前記除多項式の最大次係数が非零となるまで除算を行うことより誤り位置多項式を求めると共に、前記被除多項式の係数用のレジスタを使用して修正シンδροームを生成することを特徴とする請求項 2 に記載の復号化装置。

【請求項 4】 前記ユークリッドの互除演算手段の積和演算回路は、乗算用のレジスタを使用して前記消失位置多項式を生成することを特徴とする請求項 2 に記載の復号化装置。

【請求項 5】 受信語からシンδροームを計算するシンδροーム計算手段と、  
 受信語に同期した消失フラグから消失位置データを発生する消失位置生成手段と、  
 第 1 及び第 2 のレジスタ、第 1 の加算器並びに第 1 の乗算器を有する第 1 のセルが複数接続された第 1 のセル群と、  
 この第 1 のセル群に前記シンδροーム及び前記消失位置データを与え、前記第 1 のレジスタ、第 1 の加算器及び第 1 の乗算器を用いて、前記シンδροームから消失位置情報を除く修正シンδροームを生成して前記第 1 のレジスタに格納する修正シンδροーム生成手段と、  
 前記第 1 及び第 2 のレジスタ、第 1 の加算器並びに第 1

2

の乗算器を用いて、前記第 1 のレジスタに格納された修正シンδροームと前記消失位置多項式とから誤り数値多項式を求めるユークリッドの除算手段と、  
 第 3、第 4 及び第 5 のレジスタ、第 2 の加算器並びに第 2 の乗算器を有する第 2 のセルが複数接続された第 2 のセル群と、  
 前記第 2 のセル群に前記消失位置データを与え、前記第 3 のレジスタ、第 2 の加算器及び第 2 の乗算器を用いて、消失位置多項式を生成して前記第 3 のレジスタに格納する消失位置多項式生成手段と、  
 前記ユークリッドの除算手段の商が与えられ、前記第 3、第 4 及び第 5 のレジスタ、第 2 の加算器並びに第 2 の乗算器を用いて、前記第 3 のレジスタに格納された消失位置多項式と前記商とから誤り位置多項式を求めるユークリッドの積和演算手段と、  
 前記ユークリッドの除算手段及び積和演算手段によって夫々求められた誤り数値多項式及び誤り位置多項式から誤り位置及び誤り数値を求めるチェンサーチ手段と、  
 このチェンサーチ手段によって求められた誤り位置及び誤り数値に基づいて、前記受信語の誤りを訂正する訂正実行手段とを具備したことを特徴とする復号化装置。

## 【発明の詳細な説明】

【0001】 [発明の目的]

【0002】

【産業上の利用分野】 本発明は、リード・ソロモン符号及び BCH 符号を含むゴッパ符号の誤り訂正符号の復号に好適の復号化装置に関する。

【0003】

【従来の技術】 近年、各種デジタルシステムの信頼性を向上させるために、誤り訂正符号が適用されるようになった。誤り訂正符号としては、システムに応じて種々のものが採用されている。特に、Reed solomon 符号（以下、RS 符号という）は、冗長度が低く、CD（コンパクトディスク）、DAT（デジタルオーディオテープ）及び衛星通信の分野等において広く用いられている重要な符号である。

【0004】 RS 符号の復号方法としては種々の提案がある。2 又は 3 シンボル程度の訂正では、RS 符号を用いて代数的な手法によって誤り位置及び誤り値を求めることが可能であり、その装置化は容易である。しかし、高信頼性を必要とするシステムにおいては、訂正能力を大きくする必要がある。この場合には、ピーターソン法、バーレカンブ・マッシー法又はユークリッド法等を用いる。これらの方法は、誤り位置多項式及び評価多項式を導出し、チェンサーチ法等によって誤り位置及び誤り値を求めることによって復号を行う。

【0005】 図 14 はこのような誤り訂正符号を復号する従来の復号化装置を示す回路図である。図 14 の装置は特公平 4-7847 号公報にて開示されたものである。

3

【0006】図14の装置はシストリックアルゴリズムに基づいて構成している。消失を考慮しない場合には、復号は以下の(1)乃至(5)に示す手順で行う。

【0007】(1) シンドローム計算を行う。

【0008】(2) シンドロームが全て0ならば誤りなしと判定する。

【0009】(3) シンドロームからピーターソン法又はユークリッドの互除法等を用いて、誤り位置多項式 $\sigma(X)$ 及び誤り数値多項式 $\omega(X)$ を求める。

【0010】(4) チェンサーチによって、 $\sigma(X)$ の根、即ち、誤り位置を求める。

【0011】(5)  $\omega(X)$ の根、即ち、誤りの値を求める。

【0012】更に、図14の装置では、誤りの訂正だけでなく、消失位置のフラグ信号を用いて消失に対する訂正機能も有している。消失フラグはシンボルが誤りと思われることを示すものであり、フラグ出力回路201はこの消失フラグを入力端子rinから入力される受信語と同期させて出力する。消失位置発生回路202は消失フラグによって、消失の位置を示す消失位置係数 $\alpha^i$ を生成する。

$$S_\varepsilon(X) = (X - \alpha^i) \cdot S(X)$$

計算結果はMUX229を介してラッチ230に与えて出力する。なお、上記式(1)の計算には $2t$ ステップを要する。計算終了後、各セルのレジスタには修正シンドロームの係数が保持され、 $2t$ ステップ出力モードにすることで修正シンドローム $S_\varepsilon(X)$ が出力される。

【0016】修正シンドロームセル回路206が求めた修正シンドローム $S_\varepsilon(X)$ はI/F207を介してGCD(Greatest Common Divisor(最大公約数))セル回路208及び消失位置係数ラッチ回路209に与える。更に、消失位置係数ラッチ回路209及びGCDセル回路208の出力はI/F210を介して乗算セル回路211及び誤り-消失数値多項式ラッチ212に与える。GCDセル回路208は、修正シンドロームのデータ系列から誤り位置多項式 $\sigma_e(X)$ と誤り-消失数値多項式 $n(X)$ の係数のデータ系列を求める。更に、乗算セル回路211は、誤り位置多項式 $\sigma_e(X)$ と消失位置データ系列とから誤り消失位置多項式 $\sigma(X)$ の係数データを求める。更に、I/F回路213は誤り消失位置多項式 $\sigma(X)$ の微分 $\sigma'(X)$ を求め、誤り-消失数値多項式 $n(x)$ と共にEvaluationセル回路214に出力する。

【0017】Evaluationセル回路214は、誤り位置多項式 $\sigma(\alpha^i)$ が0となる位置 $i$ において、下記式(2)に示す演算によって誤り数値を求める。

$$n(\alpha^i) / \sigma'(\alpha^i) \quad \dots (2)$$

Evaluationセル回路214が求めた誤り数値はゲート回路215を介して加算回路216に与える。ゲート回路215は誤り位置多項式 $\sigma(\alpha^i)$ が0である場合に、位置 $i$ に

4

\*【0013】一方、入力端子rinを介して入力される受信語は、シンドロームセル回路203に与えてシンドローム $S(X)$ を生成する。消失位置係数 $\alpha^i$ 及びシンドローム $S(X)$ はインターフェース(以下、I/Fという)204を介して消失位置係数ラッチ回路205及び修正シンドロームセル回路206に与える。修正シンドロームセル回路206は、シンドローム $S(X)$ の情報から消失位置の情報を除去した修正シンドローム $S_\varepsilon(X)$ を作成する。図15は修正シンドロームセル回路206の具体的な構成を示すブロック図である。

【0014】修正シンドロームセル回路206は、図15に示すセルを $2t$ 個接続して構成する。シンドローム $S(X)$ は図15の入力Yinとしてラッチ221に与える。ラッチ221がシンドローム $S(X)$ をロードすると、Xinとして消失位置係数 $\alpha^i$ がラッチ222に入力される。制御回路224は、ラッチ223からのコマンドに基づいて、ラッチ225、226、加算回路227及び乗算回路228を制御して、下記式(1)に示す計算を行って、修正シンドローム $S_\varepsilon(X)$ を求める。

【0015】

$$mod X^{2t} \quad \dots (1)$$

誤りが生じているものと判断して誤り数値を加算回路216に与える。加算回路216はバッファメモリ217から受信語が与えられており、受信語の位置 $i$ のデータと位置 $i$ の誤り数値とのガロア体の加算によって誤りを訂正して出力端子218に出力する。なお、図中のCOMinは各回路のコマンド入力である。

【0019】図14の装置はパイプライン処理が可能であり、高速性に優れている。しかしながら、回路規模が膨大であり、LSI化する場合に経済的ではないという欠点があった。

【0020】

【発明が解決しようとする課題】このように、上述した従来の復号化装置においては、回路規模が大きく、また、LSI化に適していないという問題点があった。

【0021】本発明は、高速性を損なうことなく、回路規模を大幅に削減することができる復号化装置を提供することを目的とする。

【0022】[発明の構成]

【0023】

【課題を解決するための手段】本発明に係る復号化装置は、受信語からシンドロームを計算するシンドローム計算手段と、受信語に同期した消失フラグから消失位置データを発生する消失位置生成手段と、前記シンドロームから消失位置情報を除く修正シンドロームを生成する修正シンドローム生成手段と、前記消失位置データから消失位置多項式を生成する消失位置多項式生成手段と、前記修正シンドロームと前記消失位置多項式とから誤り位置多項式及び誤り数値多項式を求めるユークリッドの互

5

除演算手段と、このユークリッドの互除演算手段によって求められた誤り位置多項式及び誤り数値多項式から誤り位置及び誤り数値を求めるチェンサーチ手段と、このチェンサーチ手段によって求められた誤り位置及び誤り数値に基づいて、前記受信語の誤りを訂正する訂正実行手段と、を具備し、前記修正シンドローム生成手段及び前記消失位置多項式生成手段を前記ユークリッドの互除演算手段と共用するものである。

【0024】

【作用】本発明において、修正シンドローム生成手段及び消失位置多項式生成手段は、ユークリッドの互除演算手段と共用する。これにより、回路規模が削減される。

【0025】

【実施例】以下、図面を参照して本発明の実施例について説明する。図1は本発明に係る復号化装置の一実施例を示すブロック図である。

【0026】受信語はシンドローム生成回路1に与える。受信語に同期した消失フラグは消失位置生成回路2に与える。シンドローム生成回路1は受信語からシンドローム  $S(X)$  を算出する。一方、消失位置生成回路2は入力された消失フラグから消失位置係数  $\alpha^i$  を発生し、図示しないレジスタに格納するようになっている。

【0027】本実施例においては、修正シンドローム生成演算及び消失位置多項式生成演算を行うための回路を夫々ユークリッド互除演算のための除算器及び積和演算回路と共用するようになっている。即ち、シンドローム生成回路1からのシンドローム  $S(X)$  及び消失位置生成回路からの消失位置係数  $\alpha^i$  は修正シンドローム生成／ユークリッド用除算器2に与える。また、消失位置係数  $\alpha^i$  は消失位置多項式生成／ユークリッド用積和演算回路4に与える。

$$R_i(X) = R_{i-2}(X) \bmod$$

ここで、 $Q_i(X)$  は  $R_{i-2}(X)$  を  $R_{i-1}(X)$  で除算したときの商である。図2において、 $R_i$  レジスタ21乃至28及び  $R_{i-1}$  レジスタ31乃至38の構成は図2と同様である。レジスタ21乃至28のデータ端Dには夫々スイッチ60乃至67からデータを供給する。レジスタ21乃至28の出力データは、夫々加算器41乃至47及び乗算器72に与えると共に、レジスタ31乃至38のデータ端Dにも与える。レジスタ31乃至37の出力データは、夫々スイッチ151乃至157を介して乗算器51乃至57に与えると共に、乗算器38の出力は逆元ROM70に与える。また、レジスタ31乃至38の出力は夫々スイッチ60乃至67にも与える。

【0034】スイッチ60には0及びシンドローム係数  $S_0$  も与えられ、スイッチ60は後述する制御信号  $LDN$ 、 $LDN_2$  に制御されて、0、シンドローム係数  $S_0$  及びレジスタ31の出力のいずれかを選択してレジスタ21に与えるようになっている。同様に、スイッチ31乃至67には、夫々前段の加算器41乃至47の出力及び  $S_1$  乃至  $S_7$  も与えられ、スイッチは3入力の1つを選択してレジス

6

\*【0028】図2は図1の修正シンドローム生成／ユークリッド用除算器3の具体的な構成を示す回路図である。この図2を説明する前に、図4及び図5を参照して修正シンドローム生成の原理回路及びユークリッド互除演算の除算器を説明する。

【0029】図4はスイッチ10、加算器11、レジスタ12及び乗算器13から構成されるセルを2t個接続して構成される。初期状態においては、スイッチ10が端子14を選択して各レジスタ12にシンドローム  $S_0$  乃至  $S_{2t-1}$  を与える。次に、スイッチ10は端子15を選択して、前段のレジスタ12の出力を加算器11に与える。なお、最下位の次数側のセルのスイッチ10には0を与える。加算器11にはレジスタ12の出力と消失位置係数  $\alpha^i$  との乗算結果が与えられており、加算器11は  $\bmod X^{2t}$  の加算を行う。検出された消失位置係数  $\alpha^i$  が入力されることにより、結局、レジスタ12には上記式(1)に示す修正シンドローム  $S_e(X)$  の各係数が保持されることになる。

【0030】次に、図5を参照してユークリッド互除演算の除算に使用可能な除算器について説明する。図5の除算器は本件出願人が先に出願した特願平5-74652号明細書において記載したものである。

【0031】レジスタ21乃至28は被除数である  $R_{i-2}(X)$  の係数記憶用のレジスタであり、レジスタ31乃至38は除数である  $R_{i-1}(X)$  の係数記憶用のレジスタである。レジスタ21乃至28には除算終了後の剰余が保存されるので、これらのレジスタ21乃至28を  $R_i$  レジスタといい、レジスタ31乃至38を  $R_{i-1}$  レジスタという。

【0032】 $R_{-1}(X) = X^{2t}$ 、 $R_0 = S_e(X)$  とすると、図5の構成によって、下記式(3)の演算が行われる。

\*【0033】

$$R_i(X) = R_{i-2}(X) \bmod R_{i-1}(X) \quad \dots (3)$$

タ22乃至28に出力する。

【0035】逆元ROM70はレジスタ38出力の逆元をアンドゲート71に出力する。アンドゲート71は信号  $QEN$  の“H”で逆元を乗算器72に与える。乗算器72はレジスタ28の出力と逆元との乗算を行って、出力  $Q(X)$  として出力すると共に、乗算器51乃至57に出力する。乗算器51乃至57は夫々レジスタ31乃至37の出力と  $Q(X)$  とを乗算して加算器41乃至47に出力する。加算器41乃至47は前段のレジスタ21乃至27の出力と乗算器51乃至57の出力とを加算してスイッチ61乃至67に与えるようになっている。

【0036】本実施例においては、修正シンドローム計算処理とユークリッドの除算処理を切換えるためのスイッチ150乃至157、158及び乗算器72の出力をスイッチ60に与える乗算器159を有している。スイッチ150乃至157、158は修正シンドローム計算時には端子bを選択し、除算を行う場合には端子aを選択するようになっている。

【0037】図3は図1の消失位置多項式生成／ユークリッド用積和演算回路4の具体的な構成を示す回路図である。この図3を説明する前に、図6及び図7を参照して消失位置多項式生成の原理回路及びユークリッドの積和演算器を説明する。

【0038】図6の回路の構成は図4の修正シンドローム生成の原理回路と同様である。図6においては、 $2t + 1$ 個のセルを接続し、スイッチ10の端子14には1、\*

$$\sigma_{\epsilon}(X) = (X - \alpha^i) \cdot (X - \alpha^j) \cdot (X - \alpha^k) \cdots \cdots (4)$$

次に、図7を参照してユークリッド互除演算の積和演算に使用可能な積和演算器について説明する。

【0040】レジスタ80乃至88には $B_i(X)$ が格納され、乗算器90乃至98はレジスタ80乃至88の出力と図5の除算器の商 $Q(X)$ との乗算結果を加算器100乃至108に出力する。加算器100乃至108の出力は夫々 $Q B_i$ レジスタ120乃至128に与える。加算器130乃至138は、※

$$B_i(X) = B_{i-2}(X) - Q_i(X) \cdot R_{i-1}(X) \cdots (5)$$

なお、上記式(4)及び(5)の演算は、 $\deg R_i(X) < [(2t + N_{\epsilon}) / 2]$ となるまで行う( $N_{\epsilon}$ は消失数(消失フラグの数))。

【0043】図3において、 $B_i$ レジスタ80乃至88のデータ端Dには夫々スイッチ140乃至148の出力が入力される。レジスタ80乃至88の出力は夫々乗算器90乃至98に与えると共に、 $B_{i-2}$ レジスタ110乃至118のデータ端Dに与える。更に、レジスタ80乃至87の出力はスイッチ161乃至168を介して加算器101乃至108に与える。乗算器90乃至98は $Q(X)$ が与えられており、 $B_i$ レジスタ80乃至88の出力と $Q(X)$ とを乗算して乗算結果を夫々加算器100乃至108に出力する。加算器100乃至108の出力は夫々 $Q B_i$ レジスタ120乃至128に与え、加算器100乃至108は夫々乗算器90乃至98の出力と0又はスイッチ161乃至168の出力とを加算して出力する。レジスタ120乃至128の出力は夫々スイッチ161乃至168を介して加算器130乃至138に与え、加算器130乃至138は夫々レジスタ120乃至128とレジスタ110乃至118の出力とを加算してスイッチ140乃至148に与えるようになっている。

【0044】本実施例においては、消失位置多項式生成演算とユークリッド用積和演算とを切換えるためのスイッチ161乃至168を設けている。スイッチ161乃至168は消失位置多項式生成時には端子aを選択し、ユークリッド用積和演算時には端子bを選択するようになっている。

【0045】消失位置多項式生成／ユークリッド用積和演算回路4は、消失位置係数 $\alpha^i$ 、 $\alpha^j$ 、 $\alpha^k$ …から、上記式(4)の消失位置多項式 $\sigma_{\epsilon}(X)$ を求め、同時に、修正シンドローム生成／ユークリッド用除算器3は、シンドローム $S(X)$ と消失位置係数 $\alpha^i$ 、 $\alpha^j$ 、 $\alpha^k$ 、…から、上記式(1)に示す修正シンドロームを求める。これらの演算結果を初期値としてユークリッド

\*0, 0, …を入力する。初期状態ではスイッチ10に端子14を選択させ、以後、スイッチ10に端子15を選択させて前段のセル出力を入力する。消失位置係数が $\alpha^i$ 、 $\alpha^j$ 、 $\alpha^k$ 、…とすると、この構成によって、下記式(4)に示す消失位置多項式 $\sigma_{\epsilon}(X)$ の係数が得られる。

【0039】

10 ※レジスタ80乃至88の出力を格納する $B_{i-2}$ レジスタ110乃至118の出力が与えられて、2入力の加算を行う。

【0041】 $B_{-1}(X) = 0$ 、 $B_0 = \sigma_{\epsilon}(X)$ とすると、この構成によって、図7の積和演算器は下記式(5)の積和演算を行う。

【0042】

の互除演算を行う。即ち、修正シンドローム生成／ユークリッド用除算器3は、修正シンドローム $S_{\epsilon}(X)$ の係数を初期値として、上記式(4)によって誤り数値多項式 $\omega(X)$ を求め、消失位置多項式生成／ユークリッド用積和演算回路4は、消失位置多項式 $\sigma_{\epsilon}(X)$ の係数を初期値として、上記式(5)によって誤り位置多項式 $\sigma(X)$ を求める。

【0046】誤り数値多項式 $\omega(X)$ 及び誤り位置多項式 $\sigma(X)$ はチェンサーチ回路6に与える。チェンサーチ回路6は、誤り位置多項式 $\sigma(X)$ の微分 $\sigma'(X)$ を求め、誤り位置多項式 $\sigma(\alpha^i)$ が0となる位置*i*において、誤り数値 $\omega(\alpha^i) / \sigma'(\alpha^i)$ を演算によって求める。これらの誤り位置及び誤り数値は訂正実行回路7に与える。受信語及び消失フラグは遅延回路8にも与えており、遅延回路8はチェンサーチ回路6までの処理時間の遅れを考慮して、受信語及び消失フラグを遅延させて訂正実行回路7に与える。訂正実行回路7は誤り位置*i*の受信語と誤り数値とのガロア体の加算を行うことにより受信語の誤りを訂正して出力する。

【0047】次に、このように構成された実施例の動作について図8及び図9のタイミングチャート並びに図10乃至図13の説明図を参照して説明する。図8は図5の除算器の動作を説明するためのタイミングチャートであり、図9は図7の積和演算器の動作を説明するためのタイミングチャートである。

【0048】本実施例は修正シンドローム生成及びユークリッド用除算、並びに消失位置多項式生成及びユークリッド用積和演算を夫々図2及び図3の回路によって実現している。しかし、説明の便宜上、先ず、これらの演算が夫々図4乃至図7の回路によって実現されることを説明し、次に、これらの図4乃至図7の回路動作を図2及び図3の回路によって実現することができることを説明する。

【0049】例として、ガロア体GF(2<sup>4</sup>)上の(15, 7)RS符号を復号する場合について説明する。原始多項式P(X)をP(X)=X<sup>4</sup>+X+1とし、生成\*

\*多項式G(X)を下記式(6)で示すものとする。

【0050】

$$G(X) = \prod_{i=1}^8 (X - \alpha^i) \quad \dots(6)$$

受信信号の最後の情報から先頭の情報までの15の情報を0番目乃至14番目の情報というものとして、9, 10, 11, 12番目に夫々 $\alpha^8$ ,  $\alpha$ ,  $\alpha^6$ ,  $\alpha^9$ のエラ※10

※一が発生したものとする。この場合には、シンドローム係数S0乃至S7は下記式(7)で与えられる。

【0051】

$$\begin{aligned} S_0 &= \alpha^8 \cdot (\alpha^9) + \alpha \cdot (\alpha^{10}) + \alpha^6 \cdot (\alpha^{11}) + \alpha^9 \cdot (\alpha^{12}) = \alpha \\ S_1 &= \alpha^8 \cdot (\alpha^9)^2 + \alpha \cdot (\alpha^{10})^2 + \alpha^6 \cdot (\alpha^{11})^2 + \alpha^9 \cdot (\alpha^{12})^2 = \alpha^{10} \\ S_2 &= \alpha^8 \cdot (\alpha^9)^3 + \alpha \cdot (\alpha^{10})^3 + \alpha^6 \cdot (\alpha^{11})^3 + \alpha^9 \cdot (\alpha^{12})^3 = \alpha^{12} \\ S_3 &= \alpha^8 \cdot (\alpha^9)^4 + \alpha \cdot (\alpha^{10})^4 + \alpha^6 \cdot (\alpha^{11})^4 + \alpha^9 \cdot (\alpha^{12})^4 = \alpha^{11} \\ S_4 &= \alpha^8 \cdot (\alpha^9)^5 + \alpha \cdot (\alpha^{10})^5 + \alpha^6 \cdot (\alpha^{11})^5 + \alpha^9 \cdot (\alpha^{12})^5 = 1 \\ S_5 &= \alpha^8 \cdot (\alpha^9)^6 + \alpha \cdot (\alpha^{10})^6 + \alpha^6 \cdot (\alpha^{11})^6 + \alpha^9 \cdot (\alpha^{12})^6 = \alpha^8 \\ S_6 &= \alpha^8 \cdot (\alpha^9)^7 + \alpha \cdot (\alpha^{10})^7 + \alpha^6 \cdot (\alpha^{11})^7 + \alpha^9 \cdot (\alpha^{12})^7 = \alpha^{13} \\ S_7 &= \alpha^8 \cdot (\alpha^9)^8 + \alpha \cdot (\alpha^{10})^8 + \alpha^6 \cdot (\alpha^{11})^8 + \alpha^9 \cdot (\alpha^{12})^8 = \alpha^3 \end{aligned}$$

…(7)

従って、シンドローム生成多項式S(X)は下記式

★【0052】

(8)によって示すことができる。

★

$$S(X) = \alpha^3 X^7 + \alpha^{13} X^6 + \alpha^8 X^5 + X^4 + \alpha^{11} X^3 + \alpha^{12} X^2 + \alpha^{10} X + \alpha \quad \dots(8)$$

一方、受信語の12番目と11番目に消失フラグが発生しているものとする。そうすると、図4の回路による上

☆(X)は下記式(9)のように求められる。

【0053】

記式(1)の演算によって、修正シンドロームS<sub>ε</sub> ☆

$$\begin{aligned} S_{\epsilon}(X) &= (X - \alpha^{-12}) \cdot (X - \alpha^{-11}) \cdot S(X) \bmod X^8 \\ &= \alpha^2 X^7 + \alpha^5 X^6 + \alpha^2 X^5 + \alpha^6 X^4 + \alpha^6 X^3 + \alpha^8 X^2 + X + \alpha^8 \end{aligned} \quad \dots(9)$$

また、図6の回路による上記式(4)の演算によって、

◆められる。

消失位置多項式σ<sub>ε</sub>(X)は下記式(10)のように求◆

【0054】

$$\begin{aligned} \sigma_{\epsilon}(X) &= (X - \alpha^{-12}) \cdot (X - \alpha^{-11}) \\ &= X^2 + \alpha^7 X + \alpha^7 \end{aligned} \quad \dots(10)$$

次に、ユークリッドの互除法に基づいて計算を行う。

\*【0056】次に、i=1とした後、図5の回路による式(3)に示す演算を行う。

【0055】まず、R-1(X)=X<sup>2t</sup>=X<sup>8</sup>, R0=S

ε(X), B-1(X)=0, B0=σ<sub>ε</sub>(X)とする。\*

【0057】

$$R_i(X) = R_{i-2}(X) \bmod R_{i-1}(X) \quad \dots(3)$$

上述したように、Qi(X)はRi-2(X)をRi-1(X)で除算したときの商である。

ある場合には、iに1を加算し、この演算を繰返す。

【0059】この例では、1回目のループで、R1

【0058】この演算はdeg Ri(X) < [(8+2)/2] (=5) となるまで行う。deg Ri(X) < 5で

(X)は下記式(11)に示すものとなる。

【0060】

$$R_1(X) = R_{-1}(X) \div R_0(X) = X^8 \div S_{\epsilon}(X)$$

$$= \{ (\alpha^{13}X + \alpha) / Q1(X) \} + \{ (\alpha^{13}X^6 + \alpha^7 X^5 + \alpha^3 X^4 + \alpha^{10} X^3 + \alpha^{10} X^2 + \alpha^{11} X + \alpha^9) / R1(X) \} \quad \dots (11)$$

deg R1 (X) = 6であるので、iをインクリメントし \* 【0061】  
て、R2 (X) を求める。 \*

$$R2(X) = R0(X) \div R1(X) \\ \{ (\alpha^4 X + \alpha^5) / Q2(X) \} + \{ (\alpha^2 X^3 + \alpha^8 X^2 + \alpha^{11} X + \alpha^6) / R2(X) \} \quad \dots (12)$$

式(12)はdeg R3 (X) = 3であるので計算を終了 ※行う。

する。式(12)のR3 (X) が  $\omega(X)$  である。 【0063】

【0062】一方、図7の回路は式(5)に示す演算を※10

$$Bi(X) = Bi-2(X) - Qi(X) \cdot Ri-1(X) \quad \dots (5)$$

この式(5)の演算も、deg Ri (X) < 5となるまで ★ 【0064】  
行う。 ★

$$B1(X) = B-1(X) - Q1(X) \cdot B0(X) \\ = 0 - (\alpha^{13}X + \alpha) \cdot (X^2 + \alpha^7 X + \alpha^7) \\ = \alpha^{13}X^3 + \alpha^2 X^2 + \alpha^4 X + \alpha^8 \quad \dots (13)$$

$$B2(X) = B0(X) - Q2(X) \cdot B1(X) \\ = (X^2 + \alpha^7 X + \alpha^7) \\ - (\alpha^4 X + \alpha^5) \cdot (\alpha^{13}X^3 + \alpha^2 X^2 + \alpha^4 X + \alpha^8) \\ = \alpha^2 X^4 + \alpha^2 X^3 + \alpha^{12} X^2 + \alpha^{11} X + \alpha^5 \quad \dots (14)$$

となる。式(14)のB2 (X) が  $\sigma(X)$  である。 ☆る。

【0065】ここで、 $\sigma(X)$  に  $\alpha^{-12}$  を代入すると、 【0066】

$X = \alpha^{-12} = \alpha^3$  であるので、下記式(15)が得られ☆

$$\sigma(\alpha^3) = \alpha^2 \cdot \alpha^{12} + \alpha^2 \cdot \alpha^9 + \alpha^{12} \cdot \alpha^6 + \alpha^{11} \cdot \alpha^3 + \alpha^5 \\ = \alpha^{14} + \alpha^{11} + \alpha^3 + \alpha^{14} + \alpha^5 = 0 \quad \dots (15)$$

この式(15)から12番目にエラーが発生したことが  
判明する。このときの誤り値eは、 $\sigma(X)$  の奇数項を  
集めて求めた導関数  $\sigma'(X) = \alpha^2 X^2 + \alpha^{11}$  を用い◆

◆て下記式(16)で表わすことができる。

【0067】

$$e = \omega(X) \div \sigma'(X) \quad \dots (16)$$

式(16)に  $\alpha^{-12}$  を代入すると、 $X = \alpha^{-12} = \alpha^3$  で あるので、

$$e = \omega(\alpha^3) \div \sigma'(\alpha^3) \\ = (\alpha^2 \cdot \alpha^9 + \alpha^8 \cdot \alpha^6 + \alpha^{11} \cdot \alpha^3 + \alpha^6) \div (\alpha^2 \cdot \alpha^6 + \alpha^{11}) \\ = \alpha^1 \div \alpha^7 \\ = \alpha^9$$

このようにして、誤り値  $\alpha^9$  が求められる。

\*  $\alpha^{-10}$ ,  $\alpha^{-9}$  を代入する。

【0068】同様に、11番目、10番目及び9番目に

【0069】  $X = \alpha^{-11} = \alpha^4$  であるので、式(14)

についても計算を行う。式(14), (16)に  $\alpha^{-11}$ , \*

$$\sigma(\alpha^4) = \alpha^2 \cdot \alpha^{16} + \alpha^2 \cdot \alpha^{12} + \alpha^{12} \cdot \alpha^8 + \alpha^{11} \cdot \alpha^4 + \alpha^5 \\ = \alpha^3 + \alpha^{14} + \alpha^5 + \alpha^0 + \alpha^5 = 0$$

となる。また、式(16)から

$$e = \omega(\alpha^4) \div \sigma'(\alpha^4) \\ = (\alpha^4 \cdot \alpha^4 + \alpha^5) \div (\alpha^2 \cdot \alpha^{12} + \alpha^8 \cdot \alpha^8 + \alpha^{11} \cdot \alpha^4 + \alpha^6) \\ = \alpha^6$$

が得られる。

【0071】また、 $X = \alpha^{-9} = \alpha^6$  を代入すると、

【0070】また、 $X = \alpha^{-10} = \alpha^5$  を代入すると、式  
(14), (16)は、

$$\sigma(\alpha^5) = \alpha^7 + \alpha^2 + \alpha^7 + \alpha^1 + \alpha^5 = 0$$

$$e = \omega(\alpha^5) \div \sigma'(\alpha^5) = \alpha$$

となる。

$$\sigma(\alpha^6) = \alpha^{11} + \alpha^5 + \alpha^9 + \alpha^2 + \alpha^5 = 0$$

$$e = \omega(\alpha^6) \div \sigma'(\alpha^6) = \alpha^8$$

となる。このようにして、誤り位置及び誤りの値が求め  
られる。

50 【0072】次に、図5の除算器及び図7の積和演算回

13

路が上述した演算を行う場合の動作について説明する。  
図5の除算器は上記式(3)の  $R_i(X) = R_{i-2}(X) \bmod R_{i-1}(X)$  の商  $Q(X)$  及び  $\omega(X)$  を求めるものである。

【0073】 先ず、図8の期間Aにおいて、制御信号LDN(図8(a))によって  $R_i$  レジスタに  $S_\varepsilon(X)$  を記憶させ、 $R_{i-1}$  レジスタに  $X^8$  を記憶させる。この場合には、 $R_1$  レジスタの次数  $\deg R_i(X) < 5$  であるか否かを判定する。この例では、 $S_\varepsilon(X) = \alpha^2 X^7 + \alpha^5 X^6 + \alpha^2 X^5 + \alpha^6 X^4 + \alpha^6 X^3 + \alpha^8 X^2 + X + \alpha^8$  であり次数は7であるので、次の処理を行う。

【0074】 次に、図8の期間Bにおいて、 $R_i$  レジスタの最高次係数が0でなくなるまでシフトを行う。図8の場合には、最高次係数の  $R_6$  は  $\alpha^2$  ( $=4(HEX)$ ) であるので、シフトは行わない。

【0075】 次のC期間には、制御信号LDN2によって、 $R_i$  レジスタと  $R_{i-1}$  レジスタの内容を交換する。このとき、 $X^8 \div S_\varepsilon(X)$  の計算を開始して、 $Q(X)$  に最高次数の  $\alpha^{13}$  ( $=D(HEX)$ ) を得る。これにより、 $Q(X)$  が有効な期間を示す信号QENが“H”となる。次数差が1であるので、除算は2クロックで終了する。次のD期間には、 $Q(X)$  として係数  $\alpha^2$  ( $=2(HEX)$ ) が得られる。除算はこの時点で終了し、QENは“L”となり、SFTNは“H”となる。

【0076】 図8のE期間には、 $R_i$  レジスタに剰余多項式の係数が保存される。即ち、レジスタ21乃至28の各出力は、 $R_7 = \alpha^{13}$ 、 $R_6 = \alpha^7$ 、 $R_5 = \alpha^3$ 、 $R_4 = \alpha^{10}$ 、 $R_3 = \alpha^{10}$ 、 $R_2 = \alpha^{11}$ 、 $R_1 = \alpha^9$ 、 $R_0 = 0$  である。このE期間には、A期間と同一の動作によって次数判定を行う。この場合の次数は6であるので、次の動作に移行する。以後は期間A乃至Dの処理が繰返される。

【0077】 F期間はB期間と同一の動作を行い、 $R_i$  レジスタの最高次係数が0でなくなるまでシフトを行う。 $R_6$  が  $\alpha^{13}$  であるのでシフトは行わない。

【0078】 G期間はC期間と同一の動作を行い、制御信号LDN2によって  $R_i$  レジスタと  $R_{i-1}$  レジスタとの内容を交換し、除算を開始して  $Q(X)$  に最高次数の  $\alpha^4$  ( $=3(HEX)$ ) を得る。次数差は1であるので、QENは2クロック分になる。

【0079】 H期間は除算期間であり、 $Q(X)$  として  $\alpha^5$  ( $=6(HEX)$ ) が得られる。除算はH期間で終了し、QENは“L”となる。I期間はE期間と同一の動作を行い、 $R_i$  レジスタには剰余多項式の係数が保存される。即ち、 $R_7 = 0$ 、 $R_6 = 0$ 、 $R_5 = 0$ 、 $R_4 = \alpha^2$ 、 $R_3 = \alpha^3$ 、 $R_2 = \alpha^{11}$ 、 $R_1 = \alpha^6$ 、 $R_0 = 0$  である。ここで、次数判定によって次数3を得る。これにより、処理を停止する。

14

【0080】 一方、図7の積和演算器は上記式(5)の  $B_i(X) = B_{i-2}(X) - Q_i(X) \cdot R_{i-1}(X)$  から  $\sigma(X)$  を求めるものである。

【0081】 積和演算は、図5の除算器から商  $Q(X)$  が入力される毎に行う。図9のA期間にはLDNは“L”となり、 $B_i$  レジスタには消失位置多項式の係数をプリセットする。 $B_{i-2}$  レジスタ及び  $QB_i$  レジスタはクリアする。この例では、 $B_i$  レジスタのプリセット値は、上記式(5)から  $B_2 = \alpha^0$ 、 $B_1 = \alpha^7$ 、 $B_0 = \alpha^7$  である。

【0082】 次に、図9のB期間には商  $Q(X)$  の上位係数から順に入力する。即ち、 $\alpha^{13}$ 、 $\alpha$  の順に入力され、A期間においてプリセットされた  $B_i$  レジスタの  $X^2 + \alpha^7 X + \alpha^7$  と商  $Q(X)$  とを乗算し、 $B_{i-2}$  レジスタの内容0と加算する。ここで、図9(o)に示すように、 $QB_i$  レジスタをアクティブにする信号SFTN2が“L”になり、 $QB_i$  レジスタのみを動作させる。 $B_i$  レジスタ及び  $B_{i-2}$  レジスタのデータは保持される。

【0083】 次のC期間は、LDN3が“L”となり積和演算結果を  $B_i$  レジスタに記憶させ、次の計算用に、 $B_i$  レジスタの内容1を  $B_{i-2}$  レジスタに転送する。また、 $QB_i$  レジスタはクリアする。このC期間において、1回目の積和演算結果 ( $\alpha^{13} X^3 + \alpha^2 X^2 + \alpha^4 X + \alpha^8$ ) が  $B_i$  レジスタに格納されることになる。

【0084】 次のD期間は、B期間と同様に、 $Q(X)$  の上位係数から入力する。即ち、 $\alpha^4$ 、 $\alpha^5$  の順に入力する。そして、C期間においてプリセットされた  $B_i$  レジスタの  $\alpha^{13} X^3 + \alpha^2 X^2 + \alpha^4 X + \alpha^8$  と  $Q(X)$  とが乗算され、 $B_{i-2}$  レジスタに格納されている  $X^2 + \alpha^7 X + \alpha^7$  と加算される。

【0085】 E期間は、C期間と同様に、LDN3が“L”となり、積和演算結果を  $B_i$  レジスタに記憶させる。 $B_i$  レジスタには積和演算の最終結果である  $B_i(X) = \alpha^2 X^4 + \alpha^2 X^3 + \alpha^{12} X^2 + \alpha^{11} X + \alpha^5 = \sigma(X)$  が保持される。

【0086】 こうして、ユークリッド互除演算が行われる。ところで、ユークリッドの除算においては、プリセット値として修正シンドロームの係数が用いられる。また、積和演算では、プリセット値として消失位置多項式の係数が用いられる。そこで、本実施例においては、この点に着目して回路の共用化を図ることにより、回路規模を低減させている。

【0087】 即ち、図2の修正シンドローム生成/ユークリッド用除算器3は図5の除算器にスイッチ150乃至157、159を付加したものであり、最初に、シンドローム( $S_0$ 乃至 $S_7$ )と消失位置係数( $EL00$ 乃至 $EL07$ )から修正シンドロームを計算し、次いで、ユーク



リッドの互除法の除算によって誤り数値多項式を生成している。

【0088】つまり、まず、スイッチ60乃至67によってシンドロームをRiレジスタにロードする。次に、スイッチ60乃至67に夫々乗算器159及び加算器41乃至47の出力を選択させ、スイッチ150乃至157, 159に端子bを選択させる。そうすると、図2の回路は図10の太線で示す回路状態となる。

【0089】即ち、スイッチ158を介して各乗算器器159, 51乃至57に夫々消失位置のデータELO0乃至ELO7が入力され、各乗算器器159, 51乃至57はRiレジスタからのシンドロームとの乗算を行う。この乗算結果は加算器41乃至47によって前段のRiレジスタの出力と加算されて、スイッチ60乃至67を介して次段のRiレジスタに格納される。このように、図10の回路状態は図4の回路と等価であることが分かる。なお、この場合にはSFTNは常に“L”とする。消失位置データの入力終了すると、Riレジスタには修正シンドロームの係数が保持される。

【0090】次に、スイッチ60乃至67にレジスタ31乃至38の出力を選択させ、スイッチ150乃至157, 159に端子aを選択させることにより、修正シンドローム計算用の回路からユークリッドの除算器用の接続にする。この場合には、図11の太線に示す接続状態となる。図11と図5との比較から明らかなように、図11の太線の接続状態によってユークリッドの除算器が構成される。なお、この場合には、商Q(X)は乗算器72からスイッチ158の端子aを介して出力される。こうして、図2の回路によって修正シンドローム生成演算及びユークリッドの除算が行われる。

【0091】一方、図3の消失位置多項式生成／ユークリッド用積和演算回路4は図7の積和演算器にスイッチ161乃至168を付加したものであり、最初に、消失位置係数(ELO0乃至ELO7)から消失位置多項式を生成し、次いで、ユークリッドの互除法の積和演算によって誤り位置多項式を生成している。

【0092】つまり、シンドローム計算が終了すると、まず、スイッチ140乃至148に夫々加算器100乃至108の出力を選択させ、最下位のレジスタのみに1をロードさせ、他のレジスタには全て0をロードさせる。次いで、スイッチ161乃至168に端子aを選択させる。これにより、図3は図12の太線に示す回路接続状態となる。

【0093】そうすると、乗算器90乃至98には消失位置係数ELO乃至EL7が入力され、加算器100乃至108には乗算器90乃至98の出力及び前段のレジスタ180乃至187の出力が入力され、レジスタ180乃至188には加算器100乃至108の出力が入力されて、図4と等価の回路である消失位置多項式生成演算用の回路が構成される。なお、消失位置多項式の生成演算時にはLDN3は常に

“L”である。消失位置係数の入力終了すると、消失位置多項式の係数が各レジスタ180乃至188保持される。

【0094】次に、スイッチ140乃至148に加算器130乃至138の出力を選択させ、スイッチ161乃至168に端子bを選択させる。即ち、この場合には、図13の太線に示す回路接続状態となる。図13と図7の比較から明らかなように、図13の太線の接続によってユークリッドの積和演算器が構成される。

【0095】なお、この場合には、乗算器90乃至98には消失位置係数ELO0乃至ELO7に代えて除算の商Q(X)を与える。こうして、図3の回路によって消失位置多項式生成演算及びユークリッドの積和演算が行われる。

【0096】このように、本実施例においては、ユークリッド互除演算の除算器にスイッチを付加するだけの簡単な構成の修正シンドローム生成／ユークリッド用除算器3を用い、修正シンドローム生成演算によって求めた修正シンドロームを保持するレジスタを利用してユークリッドの除算を行っている。また、ユークリッド互除演算の積和演算器にスイッチを付加するだけの簡単な構成の消失位置多項式生成／ユークリッド用積和演算回路を用い、消失位置多項式生成演算によって求めた消失位置多項式を保持するレジスタを利用してユークリッドの積和演算を行っている。これらの回路の共用化によって回路規模を著しく低減することができ、LSI化が容易となる。

【0097】また、図14及び図15の従来装置では、I/Fを用いて演算結果のデータを転送すると共に、演算の時間調整を行っているのに対し、本実施例では、回路を共用化し、しかも、求めた修正シンドロームの係数又は消失位置多項式の係数を保持するレジスタと次の除算又は積和演算を行うためにこれらの係数をロードするレジスタとを共通にしているので、データの転送が不要であり、処理速度を向上させることができるといふ利点もある。

【0098】なお、本発明は上記実施例に限定されるものではなく、例えば、ガロア体GF(2<sup>4</sup>)上でパリティ数を8であるものとして説明したが、GF(2<sup>8</sup>)上においても実施可能であり、パリティ数についてはセル数を増加させ、次数判断を変更するだけで容易に対応することができる。

【0099】

【発明の効果】以上説明したように本発明によれば、高速性を損なうことなく回路規模を低減することができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の実施例に係る復号化装置の一実施例を示すブロック図。

【図2】図1中の修正シンドローム生成／ユークリッド

17

用除算器3の具体的な構成を示す回路図。

【図3】図1中の消失位置多項式生成／ユークリッド用積和演算回路4の具体的な構成を示す回路図。

【図4】修正シンドローム生成演算を行う原理回路を示すブロック図。

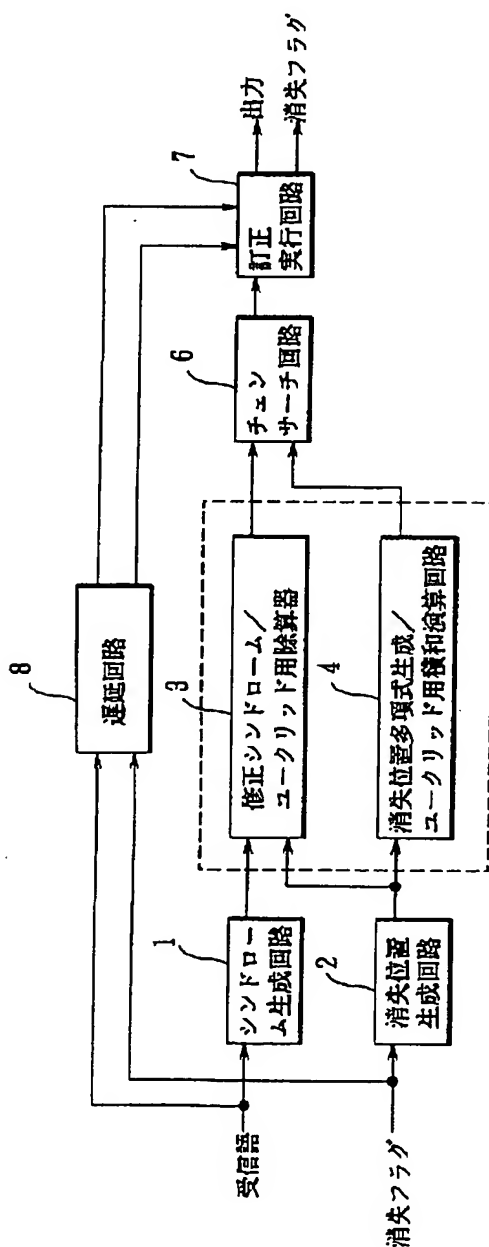
【図5】ユークリッド互除演算の除算器を示す回路図。

【図6】消失位置多項式生成演算を行う原理回路を示すブロック図。

【図7】ユークリッド互除演算の積和演算器を示す回路図。

【図8】図5の動作を説明するためのタイミングチャート。

【図1】



18

【図9】図7の動作を説明するためのタイミングチャート。

【図10】実施例の動作を説明するための説明図。

【図11】実施例の動作を説明するための説明図。

【図12】実施例の動作を説明するための説明図。

【図13】実施例の動作を説明するための説明図。

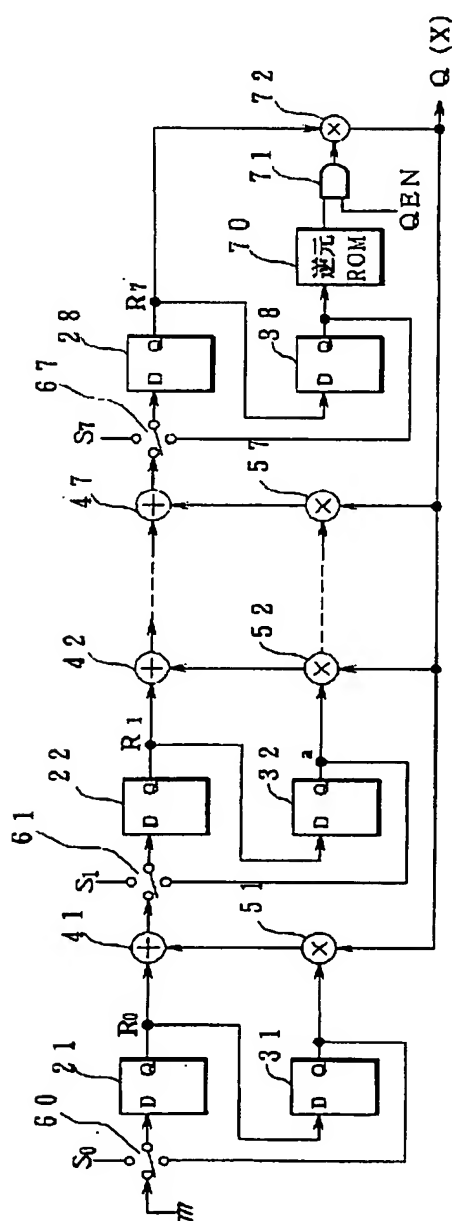
【図14】従来の復号化装置を示す回路図。

【図15】図14中の修正シンドローム回路を示す回路図。

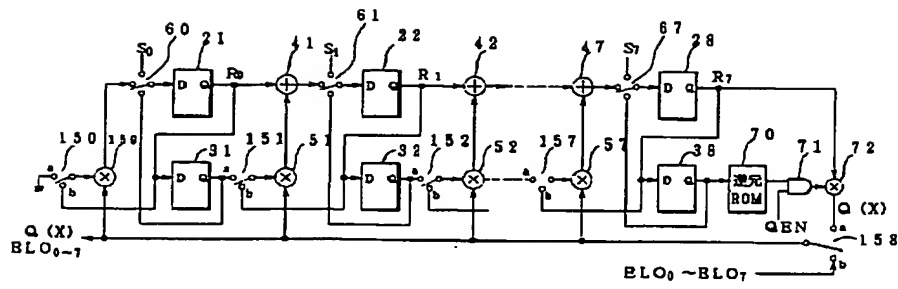
10 【符号の説明】

3…修正シンドローム生成／ユークリッド用除算器、4…消失位置多項式生成／ユークリッド用積和演算回路

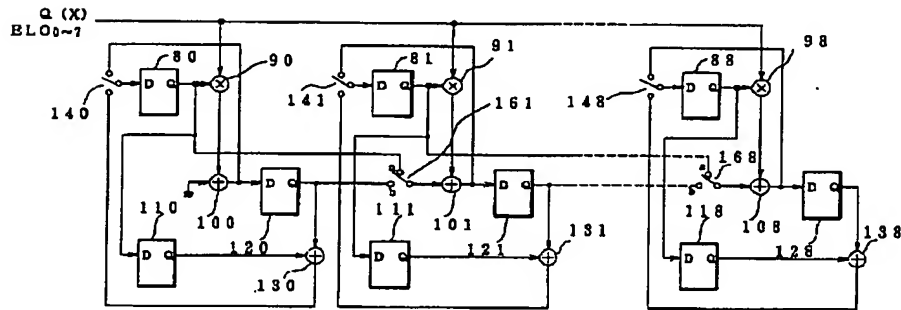
【図5】



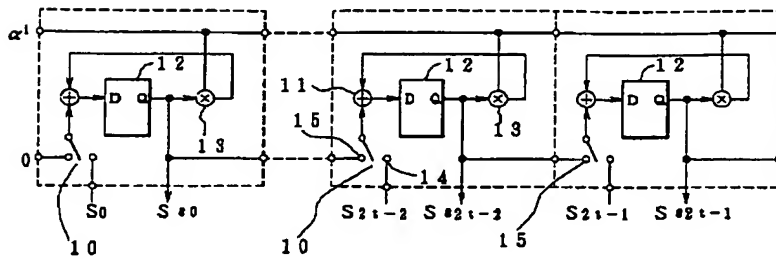
【図2】



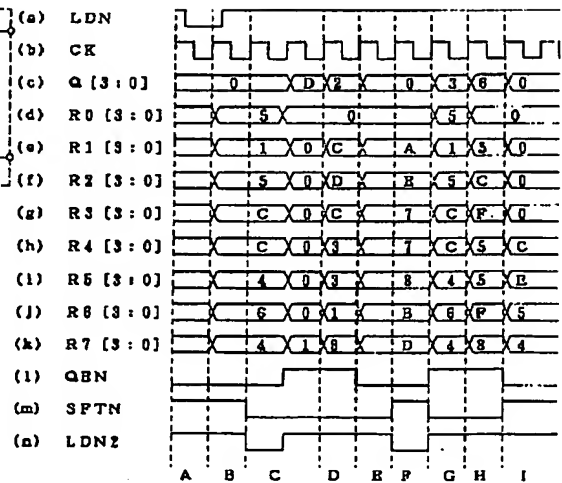
【図3】



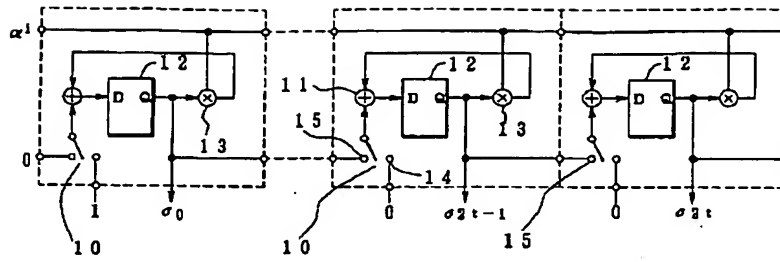
【図4】



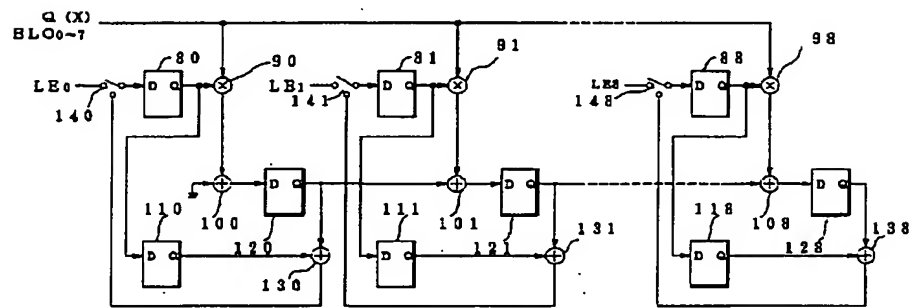
【図8】



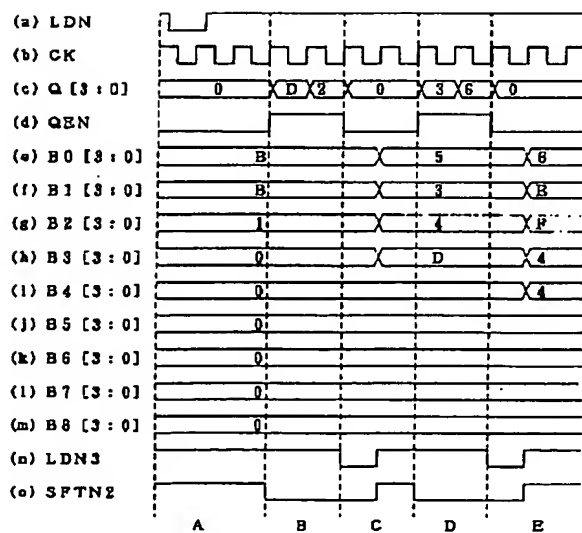
【図6】



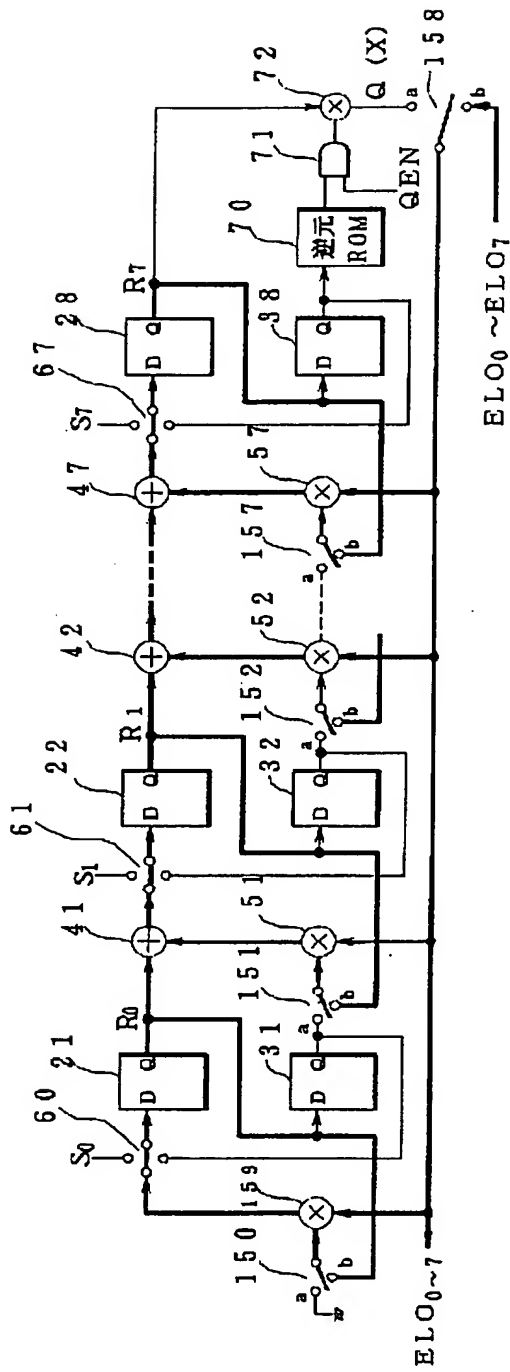
【図7】



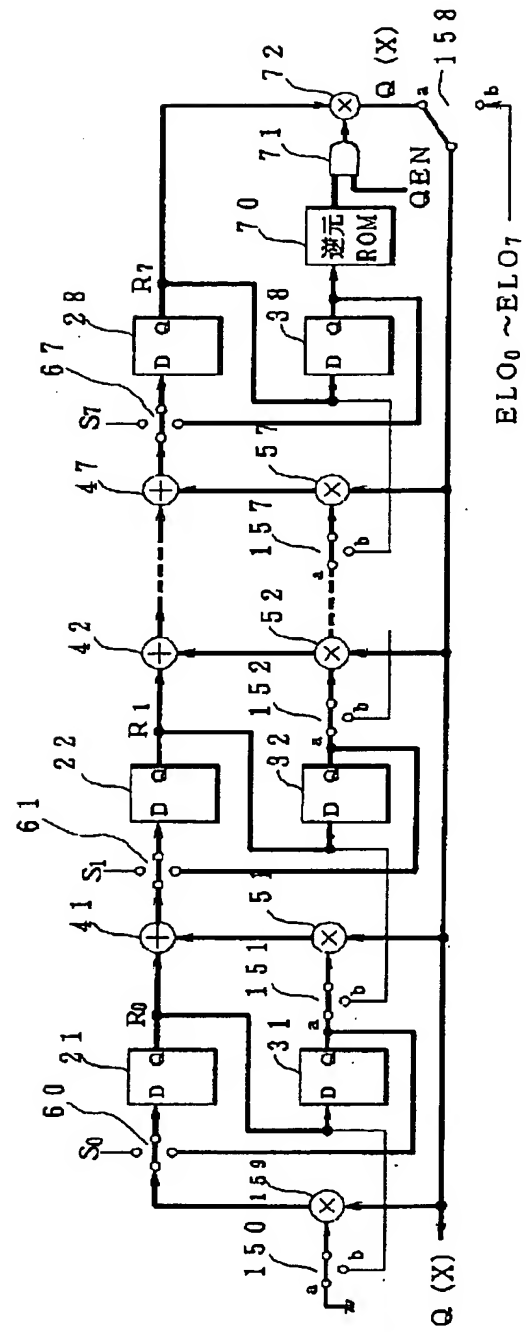
【図9】



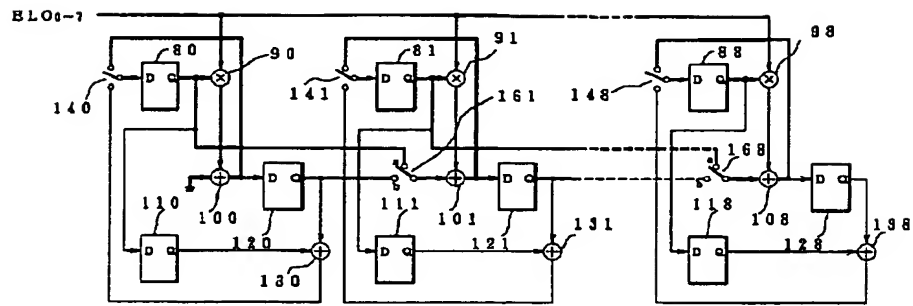
【図 10】



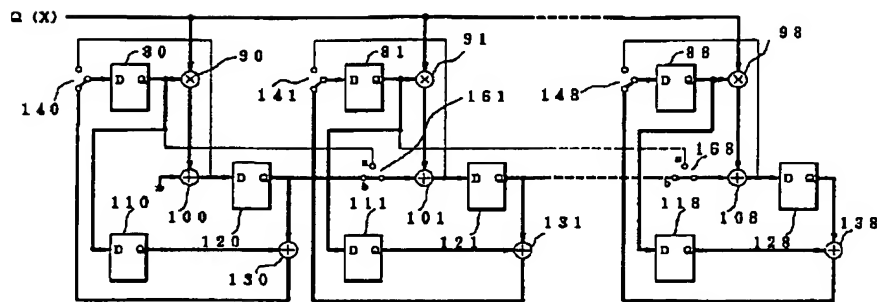
【図 11】



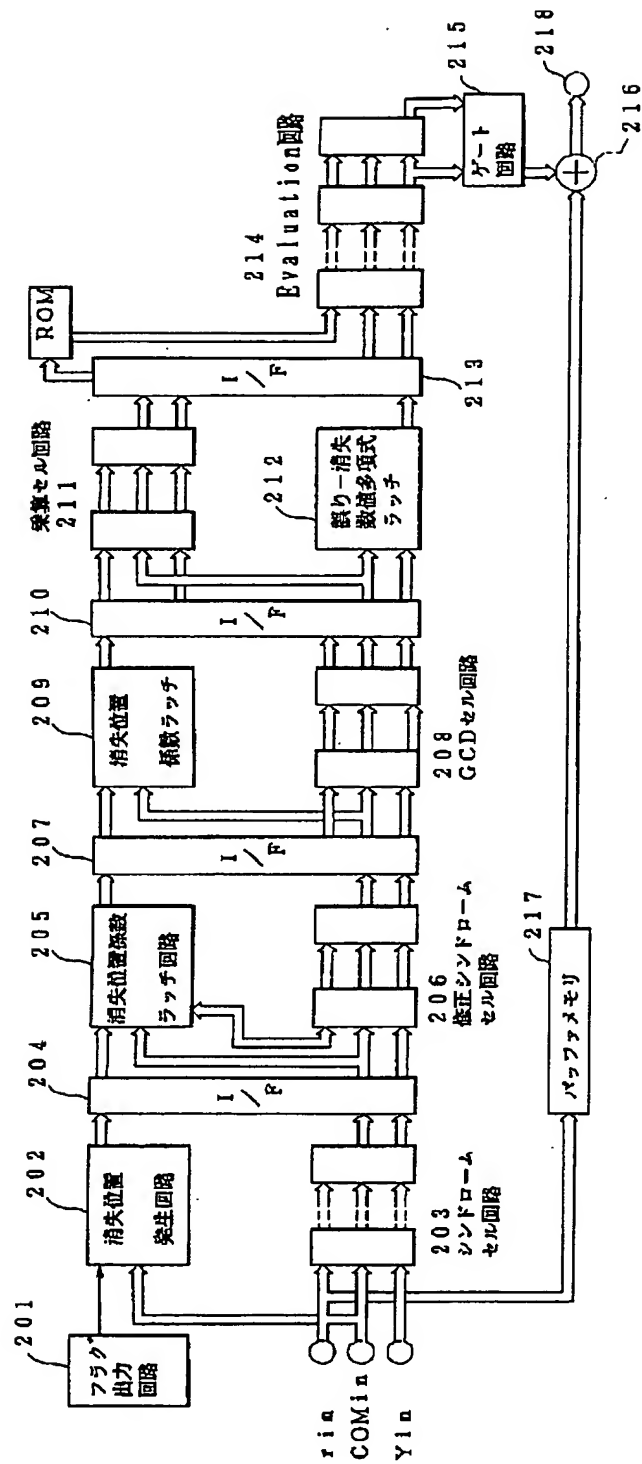
【図12】



【図13】



【図14】



【図15】

